

**Parallel computer network for multiple instructions and data - using common transmission rail to provide authorised access by all central processing units to data distributed throughout network**

**Patent number:** DE4221278  
**Publication date:** 1994-01-05  
**Inventor:** VORBACH MARTIN (DE)  
**Applicant:** VORBACH MARTIN (DE)  
**Classification:**  
- **International:** G06F15/16  
- **European:** G06F15/17  
**Application number:** DE19924221278 19920629  
**Priority number(s):** DE19924221278 19920629

**Abstract of DE4221278**

The parallel computer network includes several units (2) consisting of a CPU (3), a random-access memory (4) and a bus control unit (5) linked by an internal data bus (6). The units are interconnected by a data transmission rail (7).

The bus control unit and CPU feature an additional connection for exchange of status information so that the CPU can have access to data from any unit (2) of the network. The RAMs are protected against unauthorised access by association of individual storage cells with additional control stores. **ADVANTAGE** - Data exchange between individual components of the network is performed without the programmer's intervention and with automatic data synchronisation.

---

Data supplied from the **esp@cenet** database - Worldwide



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑩ DE 42 21 278 A 1

⑤① Int. Cl.<sup>5</sup>:  
G06 F 15/16

②① Aktenzeichen: P 42 21 278.2  
②② Anmeldetag: 29. 6. 92  
④③ Offenlegungstag: 5. 1. 94

DE 42 21 278 A 1

⑦① Anmelder:  
Vorbach, Martin, 7500 Karlsruhe, DE  
  
⑦④ Vertreter:  
Zahn, R., Dipl.-Ing., Pat.-Anw., 76229 Karlsruhe

⑦② Erfinder:  
gleich Anmelder

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Parallelrechnernetzwerk

DE 42 21 278 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen  
BUNDESDRUCKEREI 11. 93 308 061/358

7/47

BEST AVAILABLE COPY

Die vorliegende Erfindung bezieht sich auf ein Parallelrechnernetzwerk nach dem Oberbegriff des Patentanspruchs 1.

Ein gattungsgemäßes Parallelrechner- oder Datenverarbeitungsnetzwerk ist Gegenstand des Patents ... (Patentanmeldung P 41 27 192.0). Dabei sind jeweils mehrere CPU in Gestalt von Systemeinschüben gruppenweise zusammengefaßt und jede dieser CPU-Gruppen ist über einen PCU mit einem Datenbus gekoppelt und so im Gesamtsystem integriert. Die dabei zugrunde gelegten CPU sind jeweils so zu verstehen und konfiguriert, daß der notwendigerweise zugehörige Speicher, also der RAM, über einen internen Datenbus mit der CPU gekoppelt ist, und zwar jeweils so, daß von dem PCU aus betrachtet die RAM den eigentlichen Prozessoren, also den CPU, nachgeordnet sind. Dies hat letztlich zur Folge, daß bei einem Zugriff einer CPU auf den Speicher einer beliebigen anderen CPU, um etwa Daten oder Variable zu adressieren, dieser Zugriff über die LINKS oder Schnittstellen der CPU erfolgt beziehungsweise abgewickelt werden muß. Die Folge davon ist, daß diese funktionalen Verbindungen beziehungsweise Speicherzugriffszyklen nicht nach dem sogenannten Shared-Memory-Prinzip, bei dem sich mehrere CPU gleichberechtigt einen gemeinsamen Speicher teilen, möglich sind, da die CPU aktiv in den Ablauf eingreifen müssen. Vielmehr ist es hierbei Aufgabe des Programmierers für den richtigen Ablauf, d.h. die richtige Arbeitsweise des Mehrrechnersystems, zu sorgen; gleichermaßen muß auch die erforderliche Datensynchronisation vom Programmierer bewältigt werden.

Die der vorliegenden Zusatzerfindung beziehungsweise Weiterbildung des dem Patent ... (Patentanmeldung P 41 27 192.0) entsprechenden Datenverarbeitungsnetzwerks zugrunde liegende Aufgabe besteht darin, ein Parallelrechnernetzwerk der gattungsgemäßen Art anzugeben, bei dem der Datenaustausch zwischen den einzelnen Komponenten ohne Vorgabe durch den Programmierer der Anlage erfolgt und bei dem die Datensynchronisation weitestgehend autark und automatisch erfolgt.

Diese Aufgabe wird durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebene Verschaltung beziehungsweise Kopplung der dem Parallelrechnernetzwerk zugrunde liegenden Funktionselemente CPU, PCU, RAM und Datenbus gelöst.

Eine besondere Ausgestaltung im Hinblick auf eine sichere Arbeitsweise der RAM sowie zur Vermeidung von Synchronisationsproblemen ist Gegenstand des Patentanspruchs 2.

Abgesehen von dem bereits aufgabengemäß bedingten Vorteil, daß sich der Programmierer nicht um die Verteilung der Daten beziehungsweise Variablen innerhalb des Parallelrechnernetzwerks zu kümmern braucht, besteht ein ganz besonderer Vorzug des erfindungsgemäßen Parallelrechnernetzwerks in der erhöhten Virensicherheit. Da nämlich ein Virus grundsätzlich eine andere Programmspezifikation aufweist, als die der anderen Programme, kann er auch nicht auf die Daten beziehungsweise Variablen und den Code dieser anderen Programme zugreifen und Unheil anrichten. Ganz allgemein zeichnet sich das im Vorstehenden charakterisierte und im Detail nachfolgend zu beschreibende Parallelrechnernetzwerk dadurch aus, daß innerhalb dieses Parallelrechnernetzwerks die Möglichkeit besteht, Daten im gesamten Parallelrechnernetzwerk sinn-

voll zu verteilen ohne daß für den Programmierer eine wesentliche Belastung bezüglich der Kommunikation entsteht — schließlich kann von allen CPU gleichermaßen und gleichberechtigt auf die verteilten Daten zugegriffen werden.

Das erfindungsgemäße Parallelrechnernetzwerk wird im folgenden anhand der Zeichnung näher erläutert. Diese zeigt in

Fig. 1 eine Schemadarstellung eines aus einer Mehrzahl von sogenannten Parallelrechnereinheiten aufgebauten Parallelrechnernetzwerks;

Fig. 2 eine Schemadarstellung zur Erläuterung der Adressierung der Mehrzahl der Parallelrechnereinheiten;

Fig. 3 eine Schemadarstellung eines RAM zur Erläuterung der Zugriffssicherheit.

Fig. 1 zeigt ein Parallelrechnernetzwerk 1, das aus einer Vielzahl parallel zueinander angeordneter sogenannter Parallelrechnereinheiten 2 besteht beziehungsweise konfiguriert ist. Unter einer Parallelrechnereinheit ist im gegebenen Zusammenhang eine Recheneinheit eines Rechners zu verstehen, der auf der Grundlage einer Mehrdaten- und Vielfachinstruktionsmaschine (MIMD) basiert. Diese Mehrdaten- und Vielfachinstruktionsmaschine beziehungsweise Recheneinheit besteht jeweils aus einem Prozessor 3, der sogenannten CPU, einem Speicher 4, dem sogenannten RAM, und einer Bussteuereinheit 5, der sogenannten PCU, welche die Verbindung eines internen Datenbus 6 und einer Datenübertragungsschiene (DÜ-Schiene) 7 steuert.

Die Recheneinheit ist in der Lage Programme, gegebenenfalls auch nur Programmabschnitte abzuarbeiten und kann — und zwar entsprechend der erfindungsgemäßen Konfiguration — über den internen Datenbus 6 sowohl auf den jeweils eigenen RAM 4, als auch — über die PCU gesteuert — auf den RAM einer anderen parallel angeordneten Parallelrechnereinheit 2 zugreifen.

Die auf einer Parallelrechnereinheit eigenständig laufenden Programme beziehungsweise Programmabschnitte werden im weiteren als TASK bezeichnet, deren mehrere auf einer Parallelrechnereinheit 2 quasi gleichzeitig abgearbeitet werden können. Jedem TASK ist eine eindeutige Identifikationsnummer zugewiesen, beziehungsweise zugeordnet, die selbstverständlich nur einmal innerhalb des Parallelrechnernetzwerks 1 existieren darf. (Dies ist von besonderer Wichtigkeit, da in der vorliegenden Beschreibung die Identifikationsnummer der TASK zum Schutz der taskeigenen Daten, also der Daten die keinesfalls von einem anderen TASK benutzt werden dürfen, verwendet wird).

In Verbindung mit dem vorliegenden Parallelrechnernetzwerk kommt der Frage der eindeutigen Zugriffssicherheit eine besondere Bedeutung zu. Dieses im nachfolgenden noch zu beschreibende LOCKING gewährleistet, daß ein RAM 4 gegen einen illegalen oder unzulässigen Zugriff geschützt ist.

Für die Funktionsweise des Parallelrechnernetzwerks ist ferner eine als Taskswitcher oder Scheduler bezeichnete Einheit von Bedeutung, die — für gewöhnlich im Betriebssystem integriert — die Umschaltung der aktiven TASK gewährleistet. Dadurch wird zwar der Eindruck erweckt, daß mehrere TASK gleichzeitig verarbeitet werden — dieser Eindruck ist jedoch falsch, da die TASK nacheinander abgearbeitet werden. Die genannte Umschaltung geschieht eben durch diesen Taskswitcher.

Da der Taskswitcher eine für die Funktionssicherheit des Parallelrechnernetzwerks wichtige Rolle spielt und

— bekannt).

Beispielsweise kann über eine — vergleiche a) in Fig. 3 — aus lauter "0" bestehende "Date" angegeben sein, daß der als konjugierte Speicherplatz einem Zugriff offen, also die Variabel PUBLIC deklariert ist. Gemäß der in b) dargestellten Daten ist angegeben, daß der Speicher durch das Betriebssystem geLOCKt ist.

Das Beispiel c) zeigt, daß ein TASK mit der Identifikationsnummer "2" gerade auf den konjugierten zugreift; im Beispiel d) sei gezeigt, daß prinzipiell die Möglichkeit besteht, Variablen für Gruppen (Programme) zu LOCKEN, indem zum Beispiel das höchstwertige Bit angibt, ob eine Gruppe (Gruppenidentifikation) oder eine TASK-Identifikation vorliegt.

Grundsätzlich stehen im System auch erweiterte Speicherzugriffe zur Verfügung:

READ LOCK: Lesen und LOCKEN des Speichers (Einschreiben der eigenen Task-IDENTIFIKATION)  
 WRITE LOCK: Schreiben und LOCKEN des Speichers (Einschreiben der eigenen Task-IDENTIFIKATION)  
 READ UNLOCK: Lesen und UNLOCKEN des Speichers (Löschen der eigenen Task-IDENTIFIKATION)  
 WRITE UNLOCK: Schreiben und UNLOCKEN des Speichers (Löschen der eigenen Task-IDENTIFIKATION)

Bei jedem Zugriff wird dabei getestet, ob der Speicher nicht von einem anderen Task gesperrt ist.

#### Patentansprüche

1. Aus einer Vielzahl von (im folgenden CPU genannten) Prozessoren, (im folgenden RAM genannten) Speichern und (im folgenden PCU genannten) Bussteuereinheiten zur funktionalen Verbindung der CPU's über eine (im folgenden DÜ-Schiene genannte) gemeinsame Datenübertragungsschiene bestehendes Parallelrechnernetzwerk nach Patent (Patentanmeldung P 41 27 192.0), dadurch gekennzeichnet, daß je eine CPU (3), ein RAM (4) und ein PCU (5) eine Mehrdaten- und Vielfachinstruktionsmaschine (MIMD) bilden, und daß eine Vielzahl der Mehrdaten- und Vielfachinstruktionsmaschine (Parallelrechnereinheiten 2) über die DÜ-Schiene (7) funktional derart miteinander gekoppelt sind, daß die DÜ-Schiene (7) unmittelbar mit den PCU's (5) und diese über einen internen Datenbus (6) einerseits mit der konjugierten CPU (3) und andererseits mit dem konjugierten RAM (4) verbunden sind, wobei PCU (5) und CPU (3) eine zusätzliche Verbindung zum Austausch von Statusinformationen aufweisen, so daß die CPU (3) auf die Daten beziehungsweise Variablen jeder beliebigen Parallelrechnereinheit (2) zugreifen kann.
2. Parallelrechnernetzwerk nach Anspruch 1, dadurch gekennzeichnet, daß die RAM's (4) gegen einen unberechtigten Zugriff dadurch geschützt sind, daß den einzelnen Speicherzellen je eine zusätzliche Kennung (Kontrollspeicher) zugeordnet ist.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

**BEST AVAILABLE COPY**

***Fig. 1***

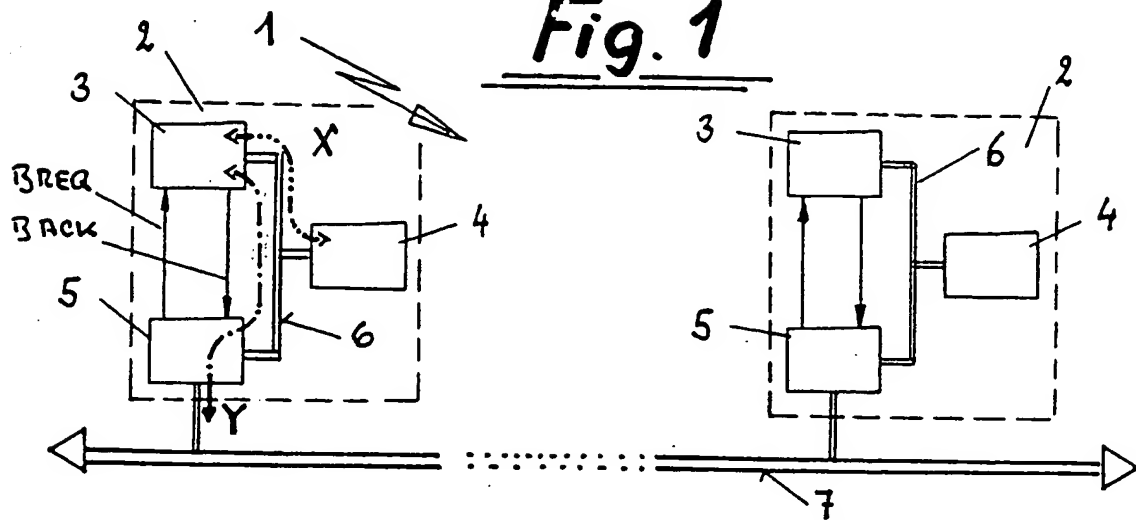
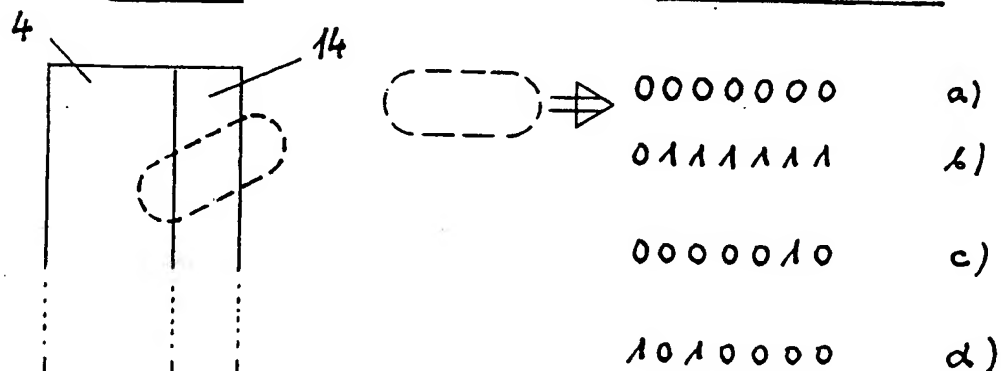
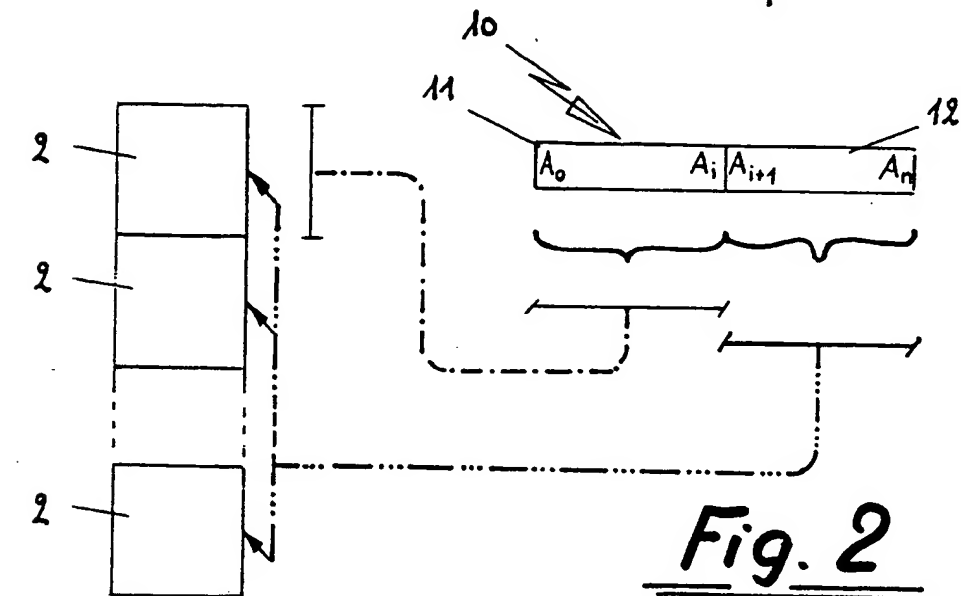


Fig. 2



**Fig. 3**

